

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«Национальный исследовательский ядерный университет «МИФИ»
Обнинский институт атомной энергетики –
филиал федерального государственного автономного образовательного учреждения высшего образования
«Национальный исследовательский ядерный университет «МИФИ»
(ИАТЭ НИЯУ МИФИ)

Одобрено УМС ИАТЭ НИЯУ МИФИ,
Протокол №2-8/2021 От 30.08.2021

РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ

Архитектура ЭВМ и систем

(Наименование дисциплины)

09.03.01 «Информатика и вычислительная техника»

(Код (шифр), наименование направления подготовки (специальности) ФГОС)

«Вычислительные машины, комплексы, системы и сети»

Название программы магистратуры

бакалавр

(Квалификация (степень) выпускника)

очная

Форма обучения (очная, очно-заочная (вечерняя), заочная)

Обнинск 2021

Программа составлена в соответствии с требованиями образовательного стандарта высшего образования национального исследовательского ядерного университета «МИФИ» по направлению подготовки 09.03.01 – Информационные системы и технологии (уровень бакалавриата), приказа Минобрнауки России №1367 от 19.12.2013 г. Информатика и вычислительная техника

Автор(ы)___ст. преподаватель. Логинов Г.В.

Рецензент_проф., д.т.н. Абакумов А.А. , зав. кафедрой Электроники и электротехники

Программа рассмотрена на заседании отделения интеллектуальных кибернетических систем (О)
(протокол № 5/7 от «30» июля 2021 г.)

Руководитель образовательной программы
09.03.01 Информатика и вычислительная техника

 С.О. Старков
«30» июля 2021 г.

1. Цели и задачи дисциплины

Целью изучения дисциплины «Архитектура ЭВМ и систем» является предоставить учащимся теоретические основы аппаратной части организации ЭВМ и периферийных устройств. Ознакомить с основными принципами, положенными в основу архитектуры современных процессоров, принципами организации системной и внешней памяти и организацией ввода/вывода информации в ЭВМ, а также ознакомить с основными принципами, заложенными в архитектуру современных периферийных устройств. Дать понятия об основах виртуализации, реализуемых в современных вычислительных системах и аппаратной поддержке, позволяющей ее реализацию. В течении семестров с учащимся кроме лекционного курса проводятся практические и лабораторные занятия, которые способствуют более глубокому изучению дисциплины. Целью занятий методом интерактивного обучения является привить студентам навыки умения работать в коллективе, отстаивать свою точку зрения на решение тех или иных технических проблем, умение учитывать и считаться с вариантами, предложенными другими членами группы и общими усилиями находить рациональные решения. В качестве метода интерактивного обучения используется коллективное обсуждение вариантов функциональных узлов ЭВМ для их реализации на лабораторной установке, предложенных членами группы при выполнении лабораторных работ. Другим вариантом является проведение занятий с предварительной подготовкой студентов путем выдачи тем докладов и рефератов с последующей их защитой.

В ходе изучения дисциплины <<ЭВМ и периферийные устройства>> решаются следующие задачи:

- Познакомить обучающихся с основными принципами и положениями, положенными в основу проектирования современных вычислительных систем различных архитектур.
- Продемонстрировать учащимся наличие многообразия архитектур современных компьютеров.
- Преподавать обучающимся основы построения современных вычислительных систем, использующих технологии виртуализации при обращении к памяти и при организации системы ввода вывода.
- Предоставить возможности для дальнейшего самостоятельного знакомства и изучения перспективных направлений в организации системы ввода вывода в современных ЭВМ. и)
- Создать представление об архитектуре современных периферийных устройствах, их функциональных возможностях и основной роли при организации вычислительных систем

–хранении, записи, считывании, отображении информации и управлении вычислительным процессом как средствами интерактивного взаимодействия этих систем с человеком.

2. Место дисциплины в структуре ООП:

Дисциплина <<ЭВМ и периферийные устройства>> входит в учебный план подготовки бакалавра по направлению /специальности << Информатика и вычислительная техника>> и относится к дисциплинам базовой части профессионального цикла.

Изучение дисциплины базируется на знаниях, полученных в результате изучения дисциплин <<схемотехника>>, << электроника >>, <<теоретические основы схемотехники>>, <<теория автоматов>>. Дисциплина << ЭВМ и периферийные устройства >> является одной из основ для изучения дисциплин <<программирование>>, <<операционные системы>>, << системное программирование >>, << микропроцессорные системы>>, << микропроцессоры и контроллеры >>.

3. Требования к результатам освоения дисциплины:

Процесс изучения дисциплины направлен на формирование следующих компетенций:

Код компетенции	Наименование компетенции
ОПК-5	Способен устанавливать программное и аппаратное обеспечение для информационных и автоматизированных систем
ОПК-7	Способен участвовать в настройке и наладке программно-аппаратных комплексов

В результате изучения дисциплины студент должен:

Знать: Основные принципы работы функциональных частей ЭВМ : оперативной памяти , процессора , системы ввода вывода, архитектуру и принципы работы периферийных устройств, способы записи и считывания данных на/с носителей информации, виды форматов данных ,хранимых на магнитных лентах и дисках, реализующих внешнюю память ЭВМ.

Уметь :

Ориентироваться в многообразии архитектур современных компьютеров, в том числе основных сферах их применения.

Производить подбор необходимых типов процессоров и модулей памяти для решения задач прикладного характера

Объяснять и описывать основные потоки и процессы обработки информации на аппаратном уровне , происходящие в современных вычислительных системах

Владеть : навыками работы с контрольно- измерительными приборами вычислительной техники , со справочной и технической документацией по вычислительной технике ,а также иметь навыки по моделированию простейших функциональных узлов ЭВМ на лабораторной установке и интерпретации их функциональных схем с использованием программных приложений на компьютере .

4. Объем дисциплины и виды учебной работы

Общая трудоемкость дисциплины по учебному плану составляет 3__ зачетных единиц.

Вид учебной работы	Всего часов	Семестры			
		4			
Аудиторные занятия (всего)					
<i>В том числе:</i>	-	-	-	-	-
Практические занятия	16	16			
Семинары	16				
Лабораторные работы	16	16			
<i>В том числе:</i>	-	-		-	-
интерактивные формы обучения (лекции) <i>(из учебного плана!!!)</i>	16	16			
интерактивные формы обучения (практические занятия/семинары)	16	16			

<i>(из учебного плана!!!)</i>					
Самостоятельная работа (всего)	60				
В том числе:	-	-	-	-	-
Курсовой проект (работа)					
Расчетно-графические работы					
Реферат					
Другие виды самостоятельной работы дополнить при необходимости					
Вид промежуточной аттестации (зачет, экзамен)		зачет			
ОБЩАЯ ТРУДОЕМКОСТЬ					
	час	108			
	зач.ед.	3			

5.Содержание дисциплины

5.1. Содержание разделов дисциплины

№ п/п	Наименование раздела дисциплины	Содержание раздела
1.	. Введение	
2.	. Запоминающие устройства ЭВМ	
3.	Процессор.	
4.	Организация ввода/вывода в современных ЭВМ.	
5.	. Организация мультипрограммного режима ЭВМ.	
6.	Классификация ПФУ ЭВМ назначение, архитектура ,принцип действия	
7.	Внешняя память ЭВМ	
8.	Интерфейсы ПФУ ,виды,классификация	
9.	Диагностика работы ЭВМ и ПФУ	

5.2 Разделы дисциплины и междисциплинарные связи с обеспечиваемыми дисциплинами

№ п/п	Наименование обеспечиваемых последующих дисциплин	№ № разделов данной дисциплины, необходимых для изучения обеспечиваемых (последующих) дисциплин								
		1	2	3	4	5	6	7	8	9
1.	Программирование		+	+	+	+	+	+		
2.	Операционные системы		+	+	+	+	+	+		
3.	Системное программирование		+	+	+	+	+	+		
4.	Микропроцессорные системы		+	+	+		+		+	+
5.	Микропроцессоры и микроконтроллеры		+	+	+		+		+	+

5.3 Разделы дисциплины и виды занятий

№ п/п	Наименование раздела дисциплины	лекции	Практ. Занят.	Лабор. Занят.	Семинары	СПС	Всего часов
1.	. Введение.	2		2	1		5
2.	. Запоминающие устройства ЭВМ.	8		8	3		19
3.	Процессор	14		2	7		23
4.	Организация ввода/вывода в современных ЭВМ.	12		5	6		23
5.	. Организация мультипрограммного режима ЭВМ.	4			2		6
6.	Классификация ПФУ ЭВМ назначение, архитектура ,принцип действия	4		12	4		22
7.	Внешняя память ЭВМ	6		2	6		14
8.	Интерфейсы ПФУ ,виды,классификация	4		2	6		12
9.	Диагностика работы ЭВМ и ПФУ	2		2	2		4

6.Распределение часов по темам и видам учебных занятий для бакалавров очной и заочной форм обучения

Таблица распределения часов по темам и видам учебных занятий для бакалавров очно-заочной форм обучения

Общая трудоемкость учебной дисциплины() зачетных едениц, что составляет
() часов

Раздел, тема программы учебной дисциплины	Трудоемкость(час)			
	Всего	В том числе по видам учебных занятий		
		лекции	Семинары, практические занятия	Лабораторные занятия
1	2	3	4	5
Раздел 1 Введение Тема1 Эволюция развития вычислительной техники. Многоуровневая организация компьютера. Тема 2. Цифровой логический уровень ЭВМ Раздел 2 Запоминающие устройства ЭВМ. Тема 3. Логическая и физическая организация памяти. Тема4. Виртуальная память ЭВМ. Тема 5. Физическая структура адресных запоминающих устройств. Тема6. Кэш память ЭВМ. Раздел 3. Процессор. Тема7. Назначение ,классификация архитектур процессоров. Тема8. Основные блоки процессора. Тема9. Конвейерная организация обработки данных в процессоре. Тема 10. Примеры архитектур различных современных микропроцессоров. Раздел 4. Организация ввода вывода ЭВМ. Тема11. Общие положения. Требования и	 1 4 3 3 6 7 3 7 7 6 2	 1 1 2 2 2 2 2 4 4 4 2	 1 1 1 2 2 2 1 1 2	 2 4 4 1 1

задачи ,решаемые при проектировании системы ввода вывода.				
Тема12. Системная шина. Состав, характеристики системной шины и способы организации межблочных связей в ЭВМ.	7	4	2	1
Тема13. Канальная система ввода вывода .Структурные элементы каналов ввода вывода. Физическая и логическая адресация внешних устройств в каналах.	10	4	2	4
Тема14. Структура канальной системы компьютеров z архитектуры.	4	2	2	
Раздел 5. . Организация мультипрограммного режима ЭВМ.				
Тема15. Многопрограммный режим работы процессора .Аппаратная поддержка многопрограммного режима работы компьютера.	3	2	1	
Тема16. Система прерываний и механизм переключения задач. Механизмы защиты данных и программ в оперативной памяти.	3	2	1	
Раздел6. Классификация ПФУ ЭВМ назначение, архитектура ,принцип действия	9	2	2	5
Тема17. . Блок схема ПФУ. Контроллер, исполнительное устройство. Внутренний интерфейс.				
Тема 18. Аппаратно программные средства контроля и диагностики функционирования ПФУ.	11	2	2	7
Раздел7 Внешняя память ЭВМ.				
Тема19. Физическая и логическая организация хранения информации в В.З.У. Современные методы записи и считывания информации на магнитных лентах и дисках.	7	2	3	1
Тема20. Понятие о файловых системах и файлах как элементах логической организации внешней памяти ЭВМ. Дисковые подсистемы и автоматизированные ленточные библиотеки- базовые программно-аппаратные структуры организации внешней памяти в современных вычислительных системах.	7	4	3	1
Раздел8 Интерфейсы ПФУ ,виды, классификация.				

Тема21. Интерфейсы ПФУ, характеристики, протоколы топология связи ПФУ-ЭВМ: FICON, USB, PCI, FIBER CHANNEL. Идентификация ПФУ, физическая и логическая адресация.	6	2	3	1
Тема22. Понятие о виртуальном вводе выводе, виртуальное устройство ввода вывода. Конфигурация системы ввода вывода и периферийных устройств в операционных системах.	6	2	3	1
Раздел9. Диагностика работы ЭВМ и ПФУ.	6	2	2	2
Тема23. Аппаратные средства повышения надежности работы ЭВМ.				
Тема24. Сервисный процессор, назначение ,функции в архитектуре современных майнфреймов.				
Итого часов Аудиторных часов Внеаудиторная самостоятельная работа бакалавров Количество часов на подготовку к зачету/ Экзамену Всего часов на освоение учебного материала				

- **7.Содержание тем программы учебной дисциплины**

7. Содержание тем программы учебной дисциплины

- **Раздел 1**
- **Введение**
- Тема1 Эволюция развития вычислительной техники. Многоуровневая организация компьютера.
- Тема2 Цифровой логический уровень
- *Литература:*
- **Раздел 2**
- **.Запоминающие устройства ЭВМ.**
- Тема 3. Логическая и физическая организация памяти. . Физическая и логическая организация памяти вычислительных систем. Многоуровневая организация памяти. Основные характеристики физической памяти. Логическая организация памяти Плоская и многомерная модели логической организации памяти
- Тема4. Виртуальная память ЭВМ
.Аппаратная поддержка организации виртуальной памяти. Страничная организация виртуальной памяти, механизм работы блока страничного преобразования. Сегментно-страничное преобразование виртуальной памяти
- Тема 5. Физическая структура адресных запоминающих устройств.
Физические структуры адресных запоминающих устройств. Динамическая память. Регенерация динамической памяти. Способы повышения быстродействия памяти. Модульное построение памяти. Технология конвейеризации ,чередование адресов и использование банков в архитектуре системной памяти.
 - Тема6. Кэш память ЭВМ. Принципы организации флэш-памяти. Полностью ассоциативная кэш, кэш с прямым отображением. Множественно-ассоциативная кэш. Структура, принцип работы, механизм LRU.Режимы записи в кэш, сквозная и обратная запись.
- *Литература:*
- **Раздел 3.**
- **Процессор.**
- Тема7. Назначение ,классификация архитектур процессоров. Процессор, блок управления, способы организации; микропрограммное управление и жесткая логика. Понятие о RISC и CISC архитектурах процессоров. Модифицированная гарвардская архитектура компьютера- результат развития двух альтернативных направлений в архитектуре компьютеров. Командный и машинный циклы работы процессора.. Современные направления развития архитектуры процессора. Особенности архитектур 64 разрядных процессоров и их принципиальное отличие от предшествующих архитектур, характерных для 32х разрядных процессоров. Организация параллельной обработки потоков команд в процессоре.а. Архитектура современного процессора. Блок схема процессора Pentium Pro

- Тема8. Основные блоки процессора. Процессор, блок управления, способы организации; микропрограммное управление и жесткая логика. Способы кодирования микрокоманд в микропрограммах
- Тема9. Конвейерная организация обработки данных в процессоре. Конвейерная обработка команды в процессоре, причины замедляющие работу конвейера и способы их устранения. Способы повышения производительности работы конвейера (Безупорядочное выполнение, блок предсказания переходов).
- Тема 10. Примеры архитектур различных современных микропроцессоров : Pentium4, POWER4,6,Z990. Особенности архитектур 64 разрядных процессоров и их принципиальное отличие от предшествующих архитектур, характерных для 32х разрядных процессоров. Организация параллельной обработки потоков команд в процессоре. Понятие логического процессора. Архитектура современного процессора. Блок схема процессора Pentium Pro
- *Литература:*
- **Раздел 4.**
- **Организация ввода вывода ЭВМ.**
- Тема11. Общие положения. Требования и задачи ,решаемые при проектировании системы ввода вывода.
- Тема12. Системная шина.. Состав, характеристики системной шины и способы организации межблочных связей в ЭВМ. Функционирование системной шины и эволюция развития ее архитектуры. Технологии организации ввода вывода на системной шине. Основные способы доступа к устройствам ввода/вывода на системной шине, виды адресации ВУ. Прямой доступ памяти, программирование контролера ДМА. Параллельный порт, программируемый ввод/вывод. Системная шина, основные понятия и определения, принцип работы синхронной и асинхронной шины, режимы работы, конвейерная организация системной шины процессора Pentium pro.
- Тема13. Канальная система ввода вывода .Структурные элементы каналов ввода вывода. . Классическая организация канальной системы ввода вывода. Понятие канала, подканала, канальной программы, режимы работы каналов и их виды. Современная архитектура канальной системы. Адресация устройств в канале, в классической архитектуреи использование принципов логической адресации в современной канальной системе Физическая и логическая адресация внешних устройств в каналах.
- Тема14. Структура канальной системы компьютеров z архитектуры.. Адресация устройств в канале, в классической архитектуре и использование принципов логической адресации в современной канальной системе Применение сетевых технологий в канальных системах современных ЭВМ на примере компьютеров z архитектуры
- *Литература:*
- **Раздел 5.**
- **. Организация мультипрограммного режима ЭВМ.**
- Тема15. Многопрограммный режим работы процессора .Аппаратная поддержка многопрограммного режима работы компьютера. . Понятие задачи. Переключение задач в процессоре, блок-схема переключения задач. Защищенный режим процессора, механизм защиты программы от вмешательства других программ.

- Тема16. Система прерываний. Режимы работы многопрограммных ЭВМ. Способы обработки данных в многопрограммных ЭВМ, выделение и управление ресурсами в мультипрограммной среде..
- *Литература:*
- **Раздел6.**
- **Классификация ПФУ ЭВМ назначение, архитектура ,принцип действия**
- Тема17. . Блок схема ПФУ. Контроллер, исполнительное устройство. Внутренний интерфейс. Классификация ПФУ по назначению, способу связи, принципам действия, способам хранения, доступа и отображению информации, поступающей в из ЭВМ.
- Тема 18. Аппаратно программные средства контроля и диагностики функционирования ПФУ. Режимы работы периферийных устройств и способы тестирования их работы .Способы повышения пропускной способности при обмене данными..:
- *Литература:*
- **Раздел7**
- **Внешняя память ЭВМ.**
- Тема19. Физическая и логическая организация хранения информации в В.З.У. Современные методы записи и считывания информации на магнитных лентах и дисках.
- Тема20. Понятие о файловых системах и файлах как элементах логической организации внешней памяти ЭВМ. Дисковые подсистемы и автоматизированные ленточные библиотеки- базовые программно- аппаратные структуры организации внешней памяти в современныхЭВМ
- *Литература:*
- **Раздел8**
- **Интерфейсы ПФУ ,виды, классификация.**
- Тема21. Интерфейсы ПФУ, характеристики, протоколы топология связи ПФУ-ЭВМ: FICON, USB,PCI, FIBER CHANNEL. Идентификация ПФУ, физическая и логическая адресация.
- Тема22. Понятие о виртуальном вводе выводе, виртуальное устройство ввода вывода. Конфигурация системы ввода вывода и периферийных устройств в операционных системах
Литература:
- **Раздел9.**
- **Диагностика работы ЭВМ и ПФУ.**
- Тема23. Аппаратные средства повышения надежности работы ЭВМ.Тема24.Сервисный процессор, назначение ,функции в архитектуре современных майнфреймов
- *Литература:*

8. Учебные мероприятия текущего и промежуточного контроля

тема программы учебной дисциплины	Учебные мероприятия текущего и промежуточного контроля	Контрольные вопросы к темам
Раздел 1 Введение Тема1 Эволюция развития вычислительной техники. Многоуровневая организация компьютера. Тема2 Цифровой логический уровень Раздел 2 Запоминающие устройства ЭВМ. Тема 3. Логическая и физическая организация памяти. Тема4. Виртуальная память ЭВМ Тема 5. Физическая структура адресных запоминающих устройств. Тема6. Кэш память ЭВМ		Тема1 Эволюция развития вычислительной техники. Многоуровневая организация компьютера. 1. Перечислите этапы и поколения компьютеров Тема2 Цифровой логический уровень ЭВМ. 1. Почему технология эмитерно- связанной логики не нашла применения в современных микросхемах? Тема 3. Логическая и физическая организация памяти. 1. Факторы, определяющие структуру логической организации памяти 2. Основные принципы, определяющие виды памяти ЭВМ. Тема4. Виртуальная память ЭВМ 1. Основной принцип организации виртуальной памяти ЭВМ. Тема 5. Физическая структура адресных запоминающих устройств. 1. Способы повышения производительности памяти Тема6. Кэш память ЭВМ 1. Принцип работы кэш памяти. Виды КЭШей. 2. Механизм прямой и обратной записи в кэш память.

Раздел 2 Запоминающие устройства ЭВМ. Тема 3. Логическая и физическая организация памяти. Тема4. Виртуальная память ЭВМ Тема 5. Физическая структура адресных запоминающих устройств. Тема6. Кэш память ЭВМ		Тема 3. Логическая и физическая организация памяти. 3. Факторы, определяющие структуру логической организации памяти 4. Основные принципы, определяющие виды памяти ЭВМ. Тема4. Виртуальная память ЭВМ 1. Основной принцип организации виртуальной памяти ЭВМ. Тема 5. Физическая структура адресных запоминающих устройств. 2. Способы повышения производительности памяти Тема6. Кэш память ЭВМ 1. Принцип работы кэш памяти. Виды КЭШей. 2. Механизм прямой и обратной записи в кэш память.
---	--	--

Раздел 3. Процессор. Тема7. Назначение ,классификация архитектур процессоров. Тема8. Основные блоки процессора. Тема9. Конвейерная организация обработки данных в процессоре. Тема 10. Примеры архитектур различных современных микропроцессоров		Тема7. Назначение ,классификация архитектур процессоров 1. Чем объясняется первоначальное SISC направление в архитектуре процессора? 2. Какой принцип заложен в способ хранения команд и данных в современных компьютерах? Тема8. Основные блоки процессора. 1. Способы интерпретации выполнения команд в процессоре 2. Алгоритм ,заложенный в архитектуру блока предсказания переходов. Тема9. Конвейерная организация обработки данных в процессоре. 1. Конфликты на конвейере и способы их устранения. 2. Аппаратные средства поддержки многопоточного режима работы процессора. Тема 10. Примеры архитектур различных современных микропроцессоров. 1.Общие черты и отличия в архитектурах микропроцессоров современных компьютеров.
Раздел 4. Организация ввода вывода ЭВМ. Тема11. Общие положения. Требования и задачи ,решаемые при проектировании системы ввода вывода. Тема12. Системная шина. Состав, характеристики системной шины и способы организации межблочных связей в ЭВМ. Тема13. Канальная система ввода вывода .Структурные элементы каналов ввода вывода. Физическая и логическая адресация внешних устройств в каналах. Тема14. Структура канальной системы компьютеров z архитектуры		Тема11. Общие положения. Требования и задачи ,решаемые при проектировании системы ввода вывода 1. Факторы, определяющие структурную схему ввода вывода компьютера. Тема12. Системная шина. Состав, характеристики системной шины и способы организации межблочных связей в ЭВМ. 1.Способы доступа к устройствам ввода вывода на системной шине. 2. Виды арбитража на системной шине Тема13. Канальная система ввода вывода .Структурные элементы каналов ввода вывода. Физическая и логическая адресация внешних устройств в каналах. 1.Определение канала ,подканала ,канальной программы 2.Режимы работы каналов и их виды. Тема14. Структура канальной системы компьютеров z архитектуры 1.Современная архитектура канальной системы.
Раздел 5. . Организация мультипрограммного режима ЭВМ. Тема15. Многопрограммный		Тема15. Многопрограммный режим работы процессора .Аппаратная поддержка многопрограммного режима работы компьютера 1. Режимы работы мультипрограммных ЭВМ. 2. Технология выполнения программ в

режим работы процессора .Аппаратная поддержка многопрограммного режима работы компьютера. Тема16. Система прерываний и механизм переключения задач. Механизмы защиты данных и программ в оперативной памяти.		3. мультипрограммной ЭВМ. Тема16. Система прерываний и механизм переключения задач. Механизмы защиты данных и программ в оперативной памяти. 1. Виды прерываний и приоритет их обработки в ЭВМ. 2. Средства переключения задач в ЭВМ.
Раздел6. Классификация ПФУ ЭВМ назначение, архитектура ,принцип действия Тема17. . Блок схема ПФУ. Контроллер, исполнительное устройство. Внутренний интерфейс. Тема 18. Аппаратно программные средства контроля и диагностики функционирования ПФУ.		Тема17. . Блок схема ПФУ. Контроллер, исполнительное устройство. Внутренний интерфейс. 1. Временные этапы цикла работы периферийного устройства и их характеристика. 2. Режимы работы периферийного устройства и их связь с режимами работы канала 3. Средства повышения скорости обмена данными с ЭВМ. Тема 18. Аппаратно программные средства контроля и диагностики функционирования ПФУ. 1. Виды тестирования работоспособности периферийных устройств.
Раздел7 Внешняя память ЭВМ. Тема19. Физическая и логическая организация хранения информации в В.З.У. Современные методы записи и считывания информации на магнитных лентах и дисках. Тема20. Понятие о файловых системах и файлах как элементах логической организации внешней памяти ЭВМ. Дисковые подсистемы и автоматизированные ленточные библиотеки- базовые программно- аппаратные структуры организации внешней памяти в современныхЭВМ.		Тема19. Физическая и логическая организация хранения информации в В.З.У. Современные методы записи и считывания информации на магнитных лентах и дисках 1.Способы доступа к данным в периферийных устройствах. 2.Структура и форматы данных на внешних носителях. Тема20. Понятие о файловых системах и файлах как элементах логической организации внешней памяти ЭВМ. Дисковые подсистемы и автоматизированные ленточные библиотеки- базовые программно- аппаратные структуры организации внешней памяти в современных ЭВМ. 1.Программно- аппаратные средства поддержки технологии виртуализации в современных дисковых системах и ленточных библиотеках.
Раздел8 Интерфейсы ПФУ ,виды, классификация. Тема21. Интерфейсы ПФУ, характеристики, протоколы топология связи ПФУ-ЭВМ: FICON, USB,PCI, FIBER CHANNEL. Идентификация		Тема21. Интерфейсы ПФУ, характеристики, протоколы топология связи ПФУ-ЭВМ: FICON, USB,PCI, FIBER CHANNEL. Идентификация ПФУ, физическая и логическая адресация. 1. Режимы передачи данных в каналах FICON и FIBER CHANAL. 2. Почему протокол шины PCI занимает одно из ведущих мест среди интерфейсов связи

ПФУ, физическая и логическая адресация. Тема22. Понятие о виртуальном вводе выводе, виртуальное устройство ввода вывода. Конфигурация системы ввода вывода и периферийных устройств в операционных системах.		периферийных устройств с ЭВМ. Тема22. Понятие о виртуальном вводе выводе, виртуальное устройство ввода вывода. Конфигурация системы ввода вывода и периферийных устройств в операционных системах. 1.Параметры описания периферийных устройств и их характеристик в конфигурации системы ввода вывода.
Раздел9. Диагностика работы ЭВМ и ПФУ. Тема23. Аппаратные средства повышения надежности работы ЭВМ. Тема24.Сервисный процессор, назначение ,функции в архитектуре современных майнфреймов.		Тема23. Аппаратные средства повышения надежности работы ЭВМ. 1. Средства контроля и восстановления работоспособности в персональных компьютерах и майнфреймах. Тема24.Сервисный процессор, назначение ,функции в архитектуре современных майнфреймов. 1. Чем была вызвана необходимость введения в архитектуру майнфреймов сервисных процессоров?

9.Самостоятельная работа бакалавра в аудитории под руководством преподавателя.

Лабораторный практикум

№ п/п	№ раздела дисциплины	Наименование лабораторных работ	Трудоемкость (час)
1	1 3	Изучение библиотечного набора элементов лабораторной установки. Моделирование работы узла преобразования байта данных из параллельного кода в последовательный и передача байта данных побитно в канал связи с использованием мультиплексоров.	2
2	2 9	Моделирование работы схемы блока тестирования микросхемы памяти с заданным количеством циклов записи /чтения по всем адресам.	5
3	2	Моделирование работы кэш памяти на базе микросхем РУ2 и РП1(ассоциативная и наборно- ассоциативная)	5
4	4	Моделирование работы буфера данных в канале ввода вывода на базе микросхемы РП1	5
5	6 7 8	Моделирование работы узлов блока контроллера периферийного устройства	17

Практические занятия (семинары)

№ п/п	№ раздела дисциплины	Тематика практических занятий	Трудоемкость(час)
1	2	Средства повышения надежности работы системной памяти ЭВМ	2
2	2	Протоколы когерентности данных в кэш памяти	3
3	3	Архитектура отечественного микропроцессора ЭЛЬБРУС -2К	6
4	4	Эволюционный путь развития системы ввода вывода от архитектуры ЭВМ IBM360 до организации ввода вывода в серверах Z архитектуры	6
5	5	Организация многооперационного режима(логических партиций) на базе многопроцессорных систем	5
6	6	Архитектура дисковой подсистемы DS8000	5
7	9	Средства контроля и диагностики в серверах Zархитектуры	4
8	2,3,6,8	Чтение листингов конфигурационных файлов системы ввода вывода	2
9	2,3,6,8	Порядок оформления технического задания на приобретения средств вычислительной техники	1

10. Тестовые задания для оценки качества освоения дисциплины уровня учебных достижений

Семестр 4

1. В процессоре используется несколько типов .Каким образом и где указывается конкретно тип адресации в команде?

- а) в коде операции
- б) в специальном байте адресной части команды
- в) в байте префикса , принадлежащему к данной команде
- г) в коде операции или в специальном байте адресной части команды

2. В современных архитектурах процессоров используется технология переименования регистров. С какой целью это делается?

- а) метод переименования регистров используется в процессорах с конвейерной обработкой команд для устранения конфликтов по данным типа RAW
- б) используется только в системах с повышенной надежностью в блоке восстановления и повтора команд в процессоре в случае возникновения ошибок
- в) используется в процессорах с конвейерной обработкой команд для устранения конфликтов типа WAR

3. Укажите принципиальное отличие гарвардской архитектуры от архитектуры фон-Неймана

- а) Наличие отдельных памяти для программ и данных позволяет организовать двухступенчатый конвейер для выполнения команд в процессоре процессор связан с обеими памятью отдельными шинами : шиной команд и шиной данных
 - б) В фон-неймановской архитектуре команды сложные с возможностью обращения за данными в оперативную память, в гарвардской архитектуре команды простые и находятся в процессоре в постоянной памяти а данные в регистровой или во внешней
 - в) Архитектуры отличаются структурой блока управления.
- В фон –неймановской- микропрограммное управление в гарвардской архитектуре блок управления- жесткая логика.

4. Доступ к элементу памяти осуществляется через адресные и разрядные линии выборки. В какой из этих структур возможно разрядных линий записи и линий считывания?

- а) 3D
- б) 2,5D
- в) 2D
- г) 2DM

5. Доступ к элементу памяти осуществляется через адресные и разрядные линии выборки .В какой из структур линии записи выполняют функции адресной линии выборки?

- а) 3D
- б) 2D
- в) 2,5D

6. Какую архитектуру имеет сигнальный процессор гарвардскую или фон- неймановскую?

- а) гарвардскую, так как раздельное хранение команд и данных позволяет организовать конвейерную обработку команд тем самым давая возможность увеличить частоту стробирования аналогового сигнала

б) фон-неймановскую с одноадресным форматом команд, обрабатывающих цифровую входную информацию. Именно одноадресные команды позволяют обрабатывать массивы входной информации, в которых указывается начало адреса массива и его длина. Такие команды наиболее удобны для обработки информации, поступающей в сигнальный процессор.

7. RISC процессор имеет формат команд типа RR и характеризуется наличием большого регистрового файла. Имеет ли система с RISC процессором внешнюю память?

Если да, то каким образом осуществляется обмен данными между ними?

а) Через команды LOAD и STORE подобно тем, которые есть в системе команд CISC процессоров

б) Через механизм прерывания, используя для этого специальную команду прерывания INT

8. В чем характерная особенность структуры 2DM, благодаря которой она нашла применение при построении памяти в современных микросхемах?

а) В использовании в качестве запоминающего элемента конденсаторного типа

б) В количестве линий выборки

в) В системе дешифрации адреса при обращении к запоминающим элементам

г) В совокупности пунктов 1,2,3

е) В совокупности пунктов 2,3

9. Технология SDRAM дает возможность считывания данных по последовательным адресам в пакетном режиме.

Чем объясняется временная задержка при считывании пакетов из разных страниц?

а) Только изменением адреса строки так как все элементы, хранящие информацию в строке физически расположены в одной строке

б) Физическими явлениями, связанными с процессом считывания из страницы

в) Причиной, указанными в пп 1 и 2

10. Процессор с CISC архитектурой имеет формат команд переменной длины. Каким образом блок выборки команд

определяет длину выборки команды?

а) Код длины команды кодируется в формате команды в специальном поле который может быть как частью кода операции, так и отдельным полем в адресной части команды

б) Длина команды кодируется кодом, который занимает последнюю группу бит в формате команды

Семестр 5

1. Какой вид технологии передачи информации используется в фрейм - мультиплексном режиме работы канала?

- а) коммутация цепей
- б) коммутация пакетов
- с) возможны оба режима вместе.

2. Возможно ли использование принципа шинной организации в канале?

- а) нет, невозможно данная технология подключения устройств ввода /вывода используется только при организации системы ввода/вывода с общей шиной
- б) да, возможно, но только для цепей арбитража в канале
- в) возможно, канал может использовать принцип шинной организации в канале при последовательном соединении устройств в канале.

3. На шине PCI не используется централизованный контроллер прямого доступа к памяти в соответствии с протоколом функционирования шины. Где осуществляется арбитраж запросов от агентов шины на право владения ей?

- а) используется децентрализованный арбитраж
- б) в контроллере прерываний 8259
- в) схема арбитража внедрена в мост шины.

4. Возможна ли конвейерная организация функционирования системной шины?

- а) нет, так как транзакции на шине могут выполняться только в селекторном режиме
- б) да, но только в фазе передачи данных, для этого системная память должна поддерживать пакетный режим передачи данных
- в) да, если сигналы на шине разделены на отдельные функциональные группы, независимые друг от друга.

5. Основными средствами защиты памяти в мультипрограммном режиме являются:

- а) механизм сегментации
 - б) метод граничных регистров
 - в) память ключей защиты
- какой из этих механизмов осуществляет непосредственно защиту физических страниц памяти.

6. Для обработки прерываний на системной шине используется контроллер прерываний 8259. Возможно ли гальваническое объединение запросов на прерывание от разных устройств на входе контроллера?

- а) нет, так как контроллер не сможет указать вектор прерывания для конкретного устройства
- б) да, если только контроллер настроен на режим фиксации прерывания по фронту, только в этом случае внутренняя схема контроллера сможет зафиксировать прерывания от внешних устройств, поступающих в разное время
- в) да, если только контроллер настроен на режим работы по уровню, только в этом случае контроллер сможет обработать прерывания. Для этого контроллер и обработчик прерываний в процессоре должны иметь программно аппаратные средства

7. С вводом шины PCI была введена новая технология адресации внешних устройств с отображением на память, это означает:

а) для каждого внешнего устройства в оперативной памяти отводится область , в которой операционная система размещает данные для внешнего устройства. Внешнее устройство в режиме прямого доступа к памяти может обращаться по адресам ячеек этой области, указанной системой

б) это означает, что для каждого устройства выделяется область адресного пространства оперативной памяти, в которую можно обратиться с системными командами обращения к памяти, физическая область ячеек памяти блокируется, а качестве ячеек памяти служат регистры устройства

8. Канальная система ввода вывода осуществляет обмен с внешним устройством ,используя канальную программу

а) канальная программа расположена в оперативной памяти, состоит из командных слов канала (К.С.К). Каждое слово содержит: код операции, число передаваемых байт, адрес устройства, адрес данных расположенных в памяти. Выборка из памяти осуществляется поочередно

б) канальная программа расположена в памяти канала и формируется процессором в системной памяти, откуда переносится в канальную память перед началом операции ввода вывода. Каждое командное слово канала содержит код операции, число байт, начальный адрес расположения данных в памяти

в) канальная программа расположена в оперативной памяти, состоит из КСК, которые канал выбирает из системной памяти поочередно по завершению предыдущего. Слово содержит: код операции, число передаваемых байт, адрес данных в памяти и другую управляющую информацию

9. Канальная система использует понятие подканала

а) подканал- аппаратные средства канала , представляющие область системной памяти, предназначенной для хранения состояния устройства и текущих операций ввода вывода во время функционирования системы

б) подканал- аппаратные средства системы ввода вывода включающие внешнее устройство (устройства) в комплекте с контроллером, реализующий протокол связи канал- контроллер внешнего устройства. Канал передает информацию подканалу, подканал в соответствии с внутренним протоколом контроллер - внешнее устройство управляет операцией ввода вывода на внешнем устройстве

10. Используется ли принцип логической адресации в канальной системе?

Если да, то на каком уровне происходит преобразование логических адресов устройств

а) не используется

б) используется, преобразование на уровне супервизора при использовании системных команд ввода вывода

в) используется, преобразование осуществляется в канале

г) используется ,преобразование осуществляется на уровне контроллера внешнего устройства

1. В процессоре используется несколько типов .Каким образом и где указывается конкретно тип адресации в команде?

- а) в коде операции
- б) в специальном байте адресной части команды
- в) в байте префикса , принадлежащему к данной команде
- г) в коде операции или в специальном байте адресной части команды

2. В современных архитектурах процессоров используется технология переименования регистров. С какой целью это делается?

- а) метод переименования регистров используется в процессорах с конвейерной обработкой команд для устранения конфликтов по данным типа RAW
- б) используется только в системах с повышенной надежностью в блоке восстановления и повтора команд в процессоре в случае возникновения ошибок
- в) используется в процессорах с конвейерной обработкой команд для устранения конфликтов типа WAR

3. Укажите принципиальное отличие гарвардской архитектуры от архитектуры фон-Неймана

- а) Наличие отдельных памяти для программ и данных позволяет организовать двухступенчатый конвейер для выполнения команд в процессоре процессор связан с обеими памятью отдельными шинами : шиной команд и шиной данных
- б) В фон-неймановской архитектуре команды сложные с возможностью обращения за данными в оперативную память, в гарвардской архитектуре команды простые и находятся в процессоре в постоянной памяти а данные в регистровой или во внешней
- в) Архитектуры отличаются структурой блока управления.
В фон –неймановской- микропрограммное управление в гарвардской архитектуре блок управления- жесткая логика.

4. Доступ к элементу памяти осуществляется через адресные и разрядные линии выборки. В какой из этих структур возможно разрядных линий записи и линий считывания?

- а) 3D
- б) 2,5D
- в) 2D
- г) 2DM

5. Доступ к элементу памяти осуществляется через адресные и разрядные линии выборки .В какой из структур линии записи выполняют функции адресной линии выборки?

- а) 3D
- б) 2D
- в) 2,5D

6. Какую архитектуру имеет сигнальный процессор гарвардскую или фон- неймановскую?

- а) гарвардскую, так как раздельное хранение команд и данных позволяет организовать конвейерную обработку команд тем самым давая возможность увеличить частоту стробирования аналогового сигнала
- б) фон-неймановскую с одноадресным форматом команд, обрабатывающих цифровую входную информацию. Именно одноадресные команды позволяют обрабатывать массивы входной информации, в которых указывается начало адреса массива и его длина. Такие

команды наиболее удобны для обработки информации, поступающей в сигнальный процессор.

7. RISC процессор имеет формат команд типа RR и характеризуется наличием большого регистрового файла. Имеет ли система с RISC процессором внешнюю память?

Если да, то каким образом осуществляется обмен данными между ними?

- а) Через команды LOAD и STORE подобно тем, которые есть в системе команд CISC процессоров
- б) Через механизм прерывания, используя для этого специальную команду прерывания INT

8. В чем характерная особенность структуры 2DM, благодаря которой она нашла применение при построении памяти в современных микросхемах?

- а) В использовании в качестве запоминающего элемента конденсаторного типа
- б) В количестве линий выборки
- в) В системе дешифрации адреса при обращении к запоминающим элементам
- г) В совокупности пунктов 1,2,3
- е) В совокупности пунктов 2,3

9. Технология SDRAM дает возможность считывания данных по последовательным адресам в пакетном режиме.

Чем объясняется временная задержка при считывании пакетов из разных страниц?

- а) Только изменением адреса строки так как все элементы, хранящие информацию в странице физически расположены в одной строке
- б) Физическими явлениями, связанными с процессом считывания из страницы
- в) Причинами, указанными в пп 1 и 2

10. Процессор с CISC архитектурой имеет формат команд переменной длины. Каким образом блок выборки команд определяет длину выборки команды?

- а) Код длины команды кодируется в формате команды в специальном поле который может быть как частью кода операции, так и отдельным полем в адресной части команды
- б) Длина команды кодируется кодом, который занимает последнюю группу бит в формате команды

11. Архитектура фон-Неймана имеет общую шину команд и данных для связи с оперативной памятью. Каким образом происходит разделение потока команд и данных в самом процессоре?

- а) Организацией специальных циклов и установкой флага, фиксирующего запрос за командой, который выполняет функцию диспетчера
- б) Каждая команда имеет в памяти тег, указывающий, что это команда, никаких специальных циклов процессор не формирует, а распознает данные или команда по значению тега, считываемого из памяти

12. С появлением кэш команд и кэш данных в процессоре фон-неймановской архитектуре и сохранением общей шины команд и данных между процессором и памятью сохранила ли она свое название?

- а) Да
- б) Нет, стала называться гарвардской
- в) Нет, стала называться модифицированной гарвардской
- г) Нет, стала называться модифицированной фон-неймановской

11. Учебно-методическое и информационное обеспечение дисциплины

11.1. Основная литература

1. Э. Таненбаум – Архитектура компьютера. Спб. Питер 2003.
2. К. Хамахер и др – Организация ЭВМ Спб. Питер 2003.
3. Е. Угрюмом – Цифровая схемотехника Спб. БХВ 2001.
4. Гук М. – Процессоры Pentium 4, Athlon и Duron. Спб. Питер 2001.
5. Гук М. – Аппаратные средства локальных сетей. Спб. Питер 2002.
6. Бройдо – Вычислительные системы, сети и коммуникации. Спб. Питер 2002.
7. Н. Горнец- ЭВМ и периферийные устройства изд. ACADEMIA. 2012
8. Н. Горнец- Периферийные устройства современных компьютеров изд ДРОФА 2010
9. Авдеев В.А.- Периферийные устройства: интерфейсы схемотехника программирование М. : ДМК- Пресс 2014

11.2. Дополнительная литература

1. ЭВМ и системы. М. Энергоатомиздат . Каган Б.Н. – ЭВ 1991
2. О. Колиснеченко, И. Шишигин - Аппаратные средства РС, Спб. БХВ Санкт-Петербург 2000.
3. С.Т. Хвощ, Н.Н. Варлинский, Е.А. Попов – Микропроцессорные системы, Л. МАШИНОСТРОЕНИЕ 1987.
4. www.intel.com
5. www.ibm.com

. Материально-техническое обеспечение дисциплины

Компьютерный класс оборудованный современными компьютерами, объединенными в ЛВС и обеспеченные доступом в Интернет, а так же лабораторные установки для моделирования работы функциональных узлов ЭВМ и контрольно-измерительные приборы. Проектор для проведения лекционных занятий.